

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-316418

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	H
21/822			27/08	3 3 1 D
21/8238				3 2 1 H
27/092		9276-4M	27/10	6 8 1 C
27/08	3 3 1			

審査請求 未請求 請求項の数 4 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平7-118460

(22)出願日 平成7年(1995)5月17日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三村 晃満

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 大嶋 一義

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

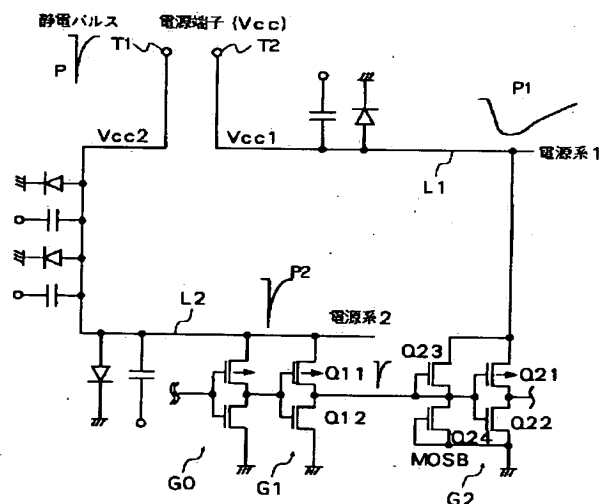
(74)代理人 弁理士 大日方 富雄

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【構成】 電源系を異にする回路からの信号を受ける内部論理回路を構成するMOSFETのゲート端子と電源電圧端子もしくはソース端子との間に保護用の素子(MOSFETもしくはダイオード)を設け、ゲート電極に過大な電圧が印加されるのを回避するようにしたものである。

【効果】 電源端子に静電パルスが印加されて内部回路を構成するMOSFETのゲートとソース間に過大な電位差が生じたときに保護用素子を通して電流が流れて、その内部回路を構成するMOSFETのゲート・ソース間もしくはゲート・ドレイン間に過大な電圧が印加されるのを回避してゲート絶縁膜の破壊を防止することができる。



1

【特許請求の範囲】

【請求項 1】 複数の電源系を備えた半導体集積回路装置において、電源系を異にする回路からの信号を受ける内部回路を構成する MOSFET のゲートと電源ラインもしくはソースとの間に保護用素子を設けたことを特徴とする半導体集積回路装置。

【請求項 2】 上記保護用素子として、ゲート電極とソース電極間距離が大きく設定された高耐压構造の MOSFET を用いたことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 上記複数の電源系のそれぞれに対応して電源端子が設けられていることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 メモリアレイに対する電源ラインと、周辺回路に対する電源ラインと、出力回路に対する電源ラインとが分離されている半導体記憶装置において、電源ラインを異にする回路からの信号を受ける回路の MOSFET のゲートと電源ラインもしくはソースとの間に保護用素子を設けたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路技術さらには MOSFET の静電破壊防止技術に関し、特に複数の電源系を有する MOS 集積回路における MOSFET のゲート絶縁破壊の防止に利用して有効な技術に関する。

【0002】

【従来の技術】 従来、MOS 集積回路においては、外部端子に印加された高電圧から入力回路を構成する MOSFET の静電破壊を防止するため、入力ピンと入力回路（入力バッファ）との間に抵抗とダイオードとからなるような入力保護回路を設ける技術が知られている。かかる入力保護回路は、入力ピンに電源電圧 V_{cc} よりも高いサージ電圧が印加されたり接地電位よりも低いサージ電圧が印加されたときにダイオードを通して電流を流すことにより、入力回路を構成する MOSFET のゲート・ソース間もしくはゲート・ドレイン間に過大な電圧が印加されないようにしたものである。また、MOS 集積回路において内部回路を構成する MOSFET のゲート絶縁破壊を防止するようにした発明も提案されている（例えば特願平 6-45775 号）。

【0003】

【発明が解決しようとする課題】 従来、半導体メモリにおいては電源ノイズによる影響を防止するため、図 3 に示すように、メモリアレイ 11 に対する電源ライン V_{cc1} 、 V_{ss1} と、制御回路やデコーダ等の周辺回路 12 に対する電源ライン V_{cc2} 、 V_{ss2} と、出力回路 13 に対する電源ライン V_{cc3} 、 V_{ss3} とを分離する方式がある。かかる電源分離方式を採用した MOS 集積回路においては、電源端子 T に高電圧の静電パルスが

2

印加されたときに内部回路を構成する MOSFET のゲート絶縁膜が破壊されることがあるという問題点があることが分かった。

【0004】 本発明者等は、上記ゲート絶縁破壊のメカニズムについて考察を行なった。以下、その考察結果について説明する。図 4 に示すように、1つの電源端子 T から複数の電源ライン L_1 、 $L_2 \dots$ を介して内部回路の各部に電源電圧 V_{cc} を供給するように構成された複数の電源系を持つ MOS 集積回路において、電源端子 T に高電圧静電パルス P が印加されると、それぞれの電源ライン L_1 、 L_2 で電流のリーク量や寄生容量、インダクタンスが異なる（電源ラインからのリークは電源ラインが接続されている MOSFET のソースと基板との間で生じる）ため、各電源ライン L_1 、 L_2 にのる静電ノイズの大きさが異なる。

【0005】 例えば電源ライン L_1 から電源電圧の供給を受けかつ異なる電源ライン L_2 から電源電圧の供給を受けている回路 G1 からの信号が入力されている G2 のような回路に着目すると、この回路 G2 では電源ライン L_1 の静電ノイズ P1 の影響でその基体（ウェルもしくは基板）の電位が、図 5 の符号 b のように変動する。一方、回路 G1 では電源ライン L_2 の静電ノイズ P2 の影響でその基体の電位が変動し、回路 G2 へ出力される信号の電位 V_a も図 5 の符号 a のように変動する。その結果、回路 G2 を構成する MOSFET Q21、Q22 のゲートとソース、ドレイン間に、図 5 に矢印で示すような大きな電位差が生じ、これによってゲート絶縁膜が破壊されてしまう。電源端子へ静電パルスが印加されたときに電源ラインを異にする回路からの信号によってゲート・ソース間で電位差が生じゲート絶縁破壊が起こる理由は、図 6 の断面図を参照することにより容易に理解されるであろう。

【0006】 図 6 は、図 4 における 2 つの CMOS インバータ回路 G1、G2 を構成する 2 つの P チャネル MOSFET Q11、Q21 と 2 つの N チャネル MOSFET Q12、Q22 を示したものである。前段のインバータの P チャネル MOSFET Q11 のウェル 21 およびソース領域 22 には電源ライン L_2 から電源電圧 V_{cc2} が印加され、後段インバータの P チャネル MOSFET Q21 のウェル 31 およびソース領域 32 には電源ライン L_1 から電源電圧 V_{cc1} が印加されている。ここで、電源ライン L_2 に図示のような静電ノイズ P2 がのると、P-MOS Q11 のウェル 21 の電位が下がり、これがドレイン領域 23 および信号ライン 11 を通して Q21、Q22 のゲート電極 36、37 に伝わる。

【0007】 一方、電源ライン L_1 に図示のような静電ノイズ P1 がのると、P-MOS Q21 のウェル 31 およびソース領域 32 の電位が同様に下がり、さらにドレイン領域 33 と N-MOS Q22 のドレイン領域 34

3

の電位も下がる。そのため、ゲート電極36、37とソース、ドレイン領域32、33、34との間に、図5に示されているような電位差が生じ、MOSFET Q21、Q22にゲート絶縁破壊が起きる。

【0008】なお、前述した電源ラインのリークは、例えば図6のP-MOS Q11のウェル21およびソース領域22に印加されている電源電圧Vcc2に静電ノイズが入ったときに基板20からウェル21に向かって電流が流れることによって生じる。従って、各電源ラインに接続されているMOSFETの数等によってリーク量が異なることとなる。

【0009】この発明は、上記のような考察に基づいてなされたもので、その目的とするところは、MOS集積回路において、電源系を異にする内部論理回路を構成するMOSFETのゲート絶縁破壊を有効に防止できるような技術を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、電源系を異にする回路からの信号を受ける内部論理回路を構成するMOSFETのゲート端子と電源電圧端子もしくはソース端子との間に保護用の素子（MOSFETもしくはダイオード）を設け、ゲート電極に過大な電圧が印加されるのを回避するようにしたものである。また、望ましくは、上記保護用素子として、ゲート電極とソース電極間距離が大きく設定された高耐压構造のMOSFETを用いる。

【0011】

【作用】上記した手段によれば、電源端子に静電パルスが印加されて内部回路を構成するMOSFETのゲートとソース間に過大な電位差が生じたときに保護用素子を通して電流が流れて、その内部回路を構成するMOSFETのゲート・ソース間もしくはゲート・ドレイン間に過大な電圧が印加されるのを回避してゲート絶縁膜の破壊を防止することができる。また、保護用素子として、ドレイン・ソース間距離が大きく設定された高耐压構造のMOSFETを用いることにより、保護用素子自身の破壊も防止することができる。

【0012】

【実施例】図1は、本発明をCMOS集積回路に適用した場合の一実施例の要部を示す。図1において、Tは単結晶シリコンのような半導体チップ上に形成されたボンディングパッドからなるような電源端子である。特に制限されないが、この発明では、同一の電源電圧Vccに対して2つの電源端子T1、T2が設けられ、それぞれの電源端子T1、T2からチップ内部に電源ラインL1、L2が延設されている。電源端子T1、T2は、特に制限されないが、この実施例では、ボンディングワイ

4

ヤによって共通の電源ピン（ICのリード端子）に接続される。また、図示しないが、この半導体チップには、上記電源端子の他に接地端子や信号入力用の外部入力端子、信号出力用の外部出力端子が設けられている。

【0013】G0、G1は電源ラインL1から電源電圧Vcc1の供給を受けて動作するCMOSインバータ回路、G2は電源ラインL2から電源電圧Vcc2の供給を受けて動作するCMOSインバータ回路で、このインバータ回路G2の入力端子には電源ラインを異にする上記インバータ回路G1から出力される信号が入力されている。なお、図1において各電源ラインL1、L2に接続されているダイオードはMOSFETのソースもしくはドレインと半導体基体との間のPN接合からなる寄生ダイオード、容量は配線寄生容量である。

【0014】この実施例では、インバータ回路G2を構成するMOSFET Q21、Q22のゲートとソース間に、それぞれ保護用素子としてのリーク用MOSFET Q23、Q24が接続されている。このMOSFET Q23、Q24はそのゲートとソースとが結合されたダイオード接続形態とされており、電源端子T1またはT2に静電パルスPが印加されて電源ラインL1にP1のような静電ノイズが現れると、MOSFET Q23にリーク電流が流れてMOSFET Q21のゲートとソース間の電位差を小さくするように作用する。また、電源ラインL2にP2のような静電ノイズが現れてインバータ回路G1の出力信号にP3で示すようなノイズが現れると、MOSFET Q24にリーク電流が流れてMOSFET Q22のゲートとソース間の電位差を小さくするように作用する。これによって、MOSFET Q21、Q22のゲート絶縁破壊が防止される。

【0015】図2には、上記リーク用MOSFET Q23、Q24として適用して好適な高耐压MOSFETの構造の一例が示されている。このMOSFETはゲート電極41とソース電極42との間をインバータ回路G1、G2等内部論理回路を構成するMOSFETよりもそのゲート電極とソース電極間距離が大きくなるように形成したものである。このようにいわゆるゲートコンタクト余裕を大きくしたMOSFETは通常のMOSFETよりもゲート・ソース間の耐压が高くなり、ゲートもしくはソースに高電圧が入ってきた場合にゲート・ソース間が短絡する等の事故が起きにくくされる。

【0016】なお、上記MOSFET Q23、Q24の代わりにPN接合からなるダイオードを接続するようにしても良い。また、上記実施例では、一例として内部回路G0、G1、G2がCMOSインバータで構成されているものを示したが、上記内部回路はインバータに限定されず、NANDゲートあるいはNORゲート等で構成されている場合にも適用できる。

【0017】以上説明したように、上記実施例は、電源系としての電源ラインを異にする回路からの信号を受け

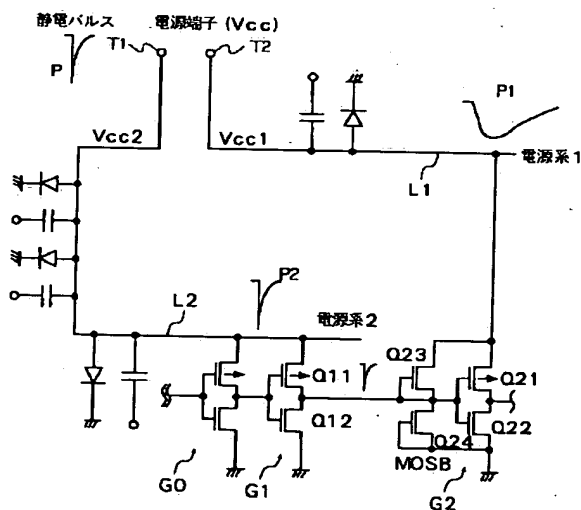
5

る内部論理回路を構成するMOSFETのゲート端子と電源電圧端子もしくはソース端子との間に保護用のMOSFETを設け、ゲート電極に過大な電圧が印加されるのを回避するようにしたので、電源端子に静電パルスが印加されて内部回路を構成するMOSFETのゲートとソース間に過大な電位差が生じたときに保護用素子を通して電流が流れて、その内部回路を構成するMOSFETのゲート・ソース間もしくはゲート・ドレイン間に過大な電圧が印加されるのを回避してゲート絶縁膜の破壊を防止することができるという効果がある。また、保護用素子として、ドレイン・ソース間距離が大きく設定された高耐圧構造のMOSFETを用いることにより、保護用素子自身の破壊も防止することができるという効果がある。

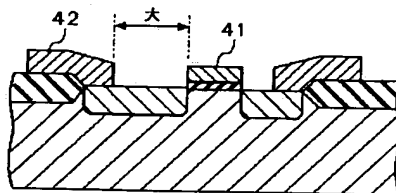
【0018】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、異なる電源ラインに接続された回路から信号を受ける回路を構成するMOSFETのゲート・ソース間に保護用素子を接続するようにしたものについて説明したが、同一の電源ラインに接続された回路間であつても電源端子に近い側に接続された回路と遠い側に接続された回路とでは静電ノイズの大きさが異なるので、そのような回路に保護用素子を設けるようにしてもよい。

【0019】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMOS集積回路に適用した場合について説明したが、この発明はそれに限定されるものでなく、NチャンネルもしくはPチャンネルMOSFETのみからなる半導体集積回路やMOSFETとバイポーラトランジスタとからなる*

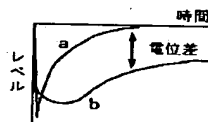
【図1】



【図2】



【図5】



6

*いわゆるBi-CMOS集積回路にも利用することができる。

【0020】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、MOS集積回路において電源系を異にする内部論理回路を構成するMOSFETのゲート絶縁破壊を有効に防止することができる。

【図面の簡単な説明】

【図1】本発明を適用したCMOS集積回路の要部の一実施例を示す回路図、

【図2】ゲート保護用素子の一例としての高耐圧MOSFETの構造の一例を示す断面図、

【図3】本発明を適用して好適な複数電源系を有する集積回路の一例としての半導体メモリの一例を示すブロック図、

【図4】本発明を適用しない複数電源系を有するCMOS集積回路において電源端子に静電パルスが印加されたときの内部回路への影響を示す回路図、

【図5】静電パルスが印加されたときの内部論理回路を構成するMOSFETのゲート・ソース間の電位差を示す図、

【図6】電源端子へ静電パルスが印加されたときに電源ラインを異にする回路からの信号によってMOSFETのゲート絶縁破壊が起こるメカニズムを説明するための断面図である。

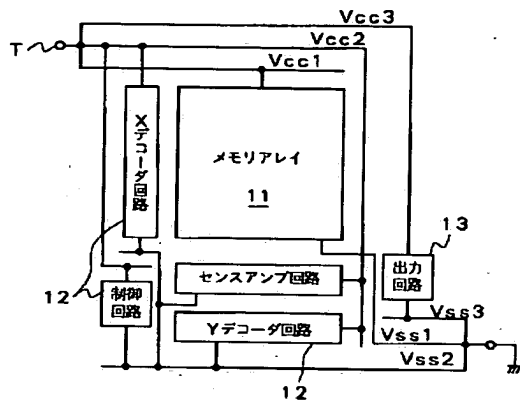
【符号の説明】

G1, G2 内部論理回路

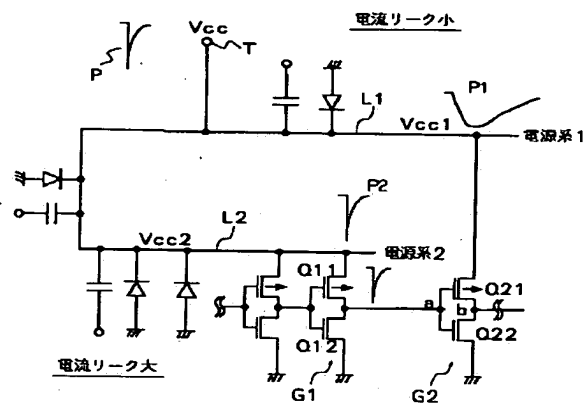
Q23, Q24 保護用素子 (MOSFET)

L1, L2 電源ライン (Vccライン)

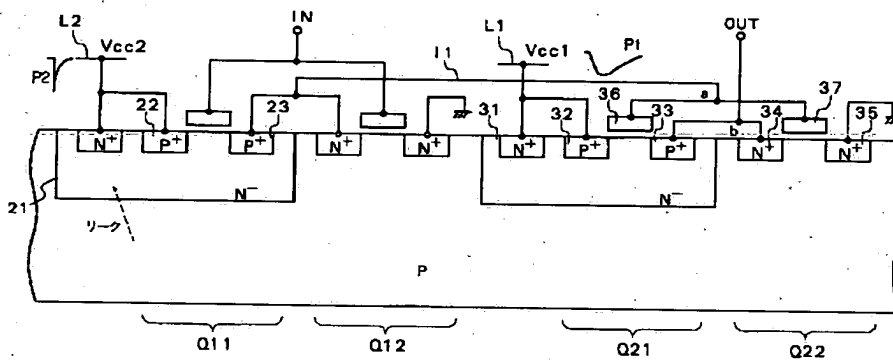
【図 3】



【図 4】



【図 6】



フロントページの続き

(51) Int. Cl. 6

H01L 27/108

21/8242

識別記号

庁内整理番号

F I

技術表示箇所